

TIMING EXTRACTION METHOD AND CIRCUIT

Patent Number: JP5244137
Publication date: 1993-09-21
Inventor(s): TSUCHIDA MASAHIKO; others: 01
Applicant(s): CASIO COMPUT CO LTD; others: 01
Requested Patent: JP5244137
Application Number: JP19920043776 19920228
Priority Number(s):
IPC Classification: H04L7/02
EC Classification:
Equivalents: JP3434301B2

Abstract

PURPOSE: To attain the integration by using a digital circuit to construct a timing extracting circuit which receives a burst signal and then demodulates it.

CONSTITUTION: This circuit is constituted of a timing generating circuit 22 for outputting the timing signals in the same cycle as the clocks of the received signals, a signal detecting circuit 24 which detects the data signals out of the received signals by the timing signals of the circuit 22, an A/D converter 21 which samples the received signals in the different cycles from the clocks of these received signals and converts these signals into the digital ones, an envelope detection circuit 23 which applies the envelope detection to the received signals digitized by the converter 21 and acquires the envelope signal data, and a CPU 25 serving as a correction circuit which corrects the phase outputted from the circuit 22 based on the phase error produced between the proper signal detection timing information acquired from the envelope signal data given from the circuit 23 and the present signal detection timing.

Data supplied from the esp@cenet database - I2

THIS PAGE BLANK (USPTO)

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-244137

(43)公開日 平成5年(1993)9月21日

(51)Int.Cl⁵

H 0 4 L 7/02

識別記号

庁内整理番号

F I

技術表示箇所

7928-5K

H 0 4 L 7/ 02

Z

審査請求 未請求 請求項の数2(全 6 頁)

(21)出願番号 特願平4-43776

(22)出願日 平成4年(1992)2月28日

(71)出願人 000001443

カシオ計算機株式会社

東京都新宿区西新宿2丁目6番1号

(71)出願人 592046493

総合通信エンジニアリング株式会社

東京都千代田区内幸町1-1-2

(72)発明者 土田 正彦

東京都羽村市栄町3丁目2番1号 カシオ

計算機株式会社羽村技術センター内

(72)発明者 郡 武治

東京都千代田区内幸町1-1-2 総合通

信エンジニアリング株式会社内

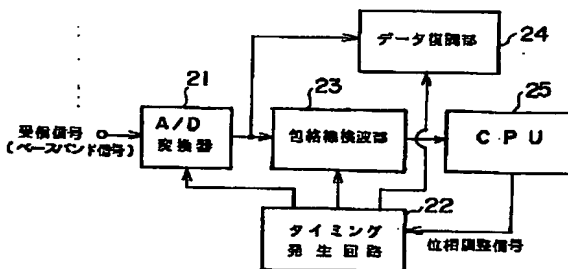
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 タイミング抽出方法及びタイミング抽出回路

(57)【要約】

【目的】バースト信号を受信して復調するためのタイミング抽出回路をデジタル回路で構成することで集積化可能とする。

【構成】受信信号のクロックと同一周期でタイミング信号を出力するタイミング発生回路22と、このタイミング発生回路22から出力されるタイミング信号により前記受信信号中のデータ信号を検出する信号検出回路24と、上記受信信号をこの受信信号のクロックとは異なる周期でサンプリングしてデジタル化するA/D変換器21と、このA/D変換器21で得られるデジタル化された受信信号を包絡線検波して包絡線信号データを得る包絡線検波回路23と、この包絡線検波回路23からの包絡線信号データより得られる適正信号検出タイミング情報と現在の信号検出タイミングとの位相誤差により前記タイミング発生回路22の出力するタイミング信号の位相を補正する補正回路としてのCPU25とを備える。



【特許請求の範囲】

【請求項1】 ベースバンド受信信号をこのベースバンド受信信号のクロックとは異なる周期でサンプリングして包絡線信号データを得、この包絡線信号データから得られる適正信号検出タイミング情報に基づいて信号検出タイミングの位相を補正することを特徴としたタイミング抽出方法。

【請求項2】 ベースバンド受信信号のクロックと同一周期でタイミング信号を出力するタイミング発生回路と、

このタイミング発生回路から出力されるタイミング信号により前記受信信号中のデータ信号を検出する信号検出回路と、

上記受信信号をこの受信信号のクロックとは異なる周期でサンプリングしてデジタル化するA/D変換器と、このA/D変換器で得られるデジタル化された受信信号を包絡線検波して包絡線信号データを得る包絡線検波回路と、

この包絡線検波回路からの包絡線信号データより得られる適正信号検出タイミング情報に基づいて前記タイミング発生回路の出力するタイミング信号の位相を補正する補正回路とを具備したことを特徴とするタイミング抽出回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、例えば無線通信で送られてくるバースト信号を受信して復調するためのタイミングを抽出するタイミング抽出方法及びこの方法を使用したタイミング抽出回路に関する。

【0002】

【従来の技術】例えば無線通信で送られてくるバースト信号を受信して復調するためのタイミングを抽出する回路として、従来は図5に示すような構成のものが一般的に使用されていた。同図でバースト信号である受信信号は包絡線検波部11とデータ復調部12に輸入される。包絡線検波部11は、入力された受信信号に対して非線形回路としてタイミング情報を含む包絡線信号を得るもので、得られた包絡線信号はPLL回路13等の狭帯域フィルタに輸入してタイミング情報を抽出し、上記データ復調部12に供給される。したがって、データ復調部12はPLL回路13から供給されるタイミング情報に基づいて上記受信信号からデータ信号を復調するようになっていた。

【0003】

【発明が解決しようとする課題】しかしながら上記のような回路構成によれば、包絡線検波部11及びPLL回路13がいずれもアナログ回路で構成されているために集積化が困難であるという問題を有している。

【0004】本発明は上記のような実情に鑑みてなされたもので、その目的とするところは、回路の集積化が可能なデジタル回路で構成することができるタイミング抽

出方法及びこの方法を使用したタイミング抽出回路を提供することにある。

【0005】

【課題を解決するための手段及び作用】すなわち本発明は、第2世代コードレス電話やデジタル自動車電話などの移動通信システムに用いられる無線伝送速度が数10kb/sec～数100kb/sec程度であり、水晶発振子の安定度が 10^{-6} 程度であることから、送信側において生じるクロック周波数誤差の変動は1Hz以下と非常に低速となり、また端末移動により生じるクロック位相の変動も該移動速度が100km/secである場合においても $0.1^{\circ}/\text{sec}$ 以下となる点を考慮して考え出されたもので、ベースバンド受信信号をこのベースバンド受信信号のクロックとは異なる周期でサンプリングして包絡線信号データを得、この包絡線信号データを解析して得られる適正信号検出タイミング情報に基づいて信号検出タイミングの位相を補正するようにしたもので、信号検出タイミングの補正が低速であるが、信号伝送で生じるクロック位相誤差の変動が非常に低速である通信システムには有効なタイミング抽出方法を提供することが可能となり、またデジタル回路で構成することも可能となる。

【0006】また本発明は、ベースバンド受信信号のクロックと同一周期でタイミング信号を出力するタイミング発生回路と、このタイミング発生回路から出力されるタイミング信号により前記受信信号中のデータ信号を検出する信号検出回路と、上記受信信号をこの受信信号のクロックとは異なる周期でサンプリングしてデジタル化するA/D変換器と、このA/D変換器で得られるデジタル化された受信信号を包絡線検波して包絡線信号データを得る包絡線検波回路と、この包絡線検波回路からの包絡線信号データより得られる適正信号検出タイミング情報に基づいて前記タイミング発生回路の出力するタイミング信号の位相を補正する補正回路とを備えるようにしたもので、デジタル回路で構成することで集積化が可能となり、回路の小型化と信頼性の向上、コストの低減等に寄与することができる。

【0007】

【実施例】以下図面を参照して本発明の一実施例を説明する。

【0008】図1はタイミング抽出の原理を示す図である。図1(a)は受信信号となるベースバンド信号であって、このベースバンド信号から理論的に得られる包絡線が図1(b)に示す波形である。このような波形の包絡線に対するベースバンド受信信号のクロックと同一周期の信号検出タイミングTdは図1(c)に示すようになる。

【0009】この信号検出タイミングTdを基に、サンプリングする毎に最小サンプリング単位時間Sd(但し、Sdは信号検出タイミングTdの周期の整数分の1)ずつ

ずれた位置において図1(d)に示すようなタイミング抽出用サンプリングタイミング T_e を設定するもので、*

$$T_e = T_d + N * S_d$$

(但し、 N ：サンプル毎に1ずつ増加する数(mod T/S_d))となる。こうして得られたタイミング抽出用サンプリングタイミング T_e でサンプリングした信号を信号検出時間を中心に重ねて、すなわち(1)式中の N が同一のものを重ねて記述したものを図2に示す。図中、白丸で示す部位はサンプル期間中に包括線がずっと連続してハイレベルにあった場合の離散サンプルであるが、実際には包括線が変化することにより黒丸で示すように確実に包括線波形を表わす離散サンプルを得ることができるようになる。

【0010】この図からわかるように、ベースバンド受信信号のクロックより高い周波数のクロックでサンプリングした場合と同様の包括線信号波形を得ることができるようになるものである。

【0011】また、信号検出タイミングのみ補正し、タイミング抽出用サンプリングタイミングは補正していないので、包括線データは継続的に得られる。したがって、次の信号検出タイミングの補正も、包括線データから得られる最適の信号検出タイミングと実際の信号検出タイミングとの位相差に基づいて行なえばよいため、処理を簡略化することができる。

【0012】なお、上記図1では図1(d)に示すように図1(b)の信号検出タイミングに1:1に対応し、各信号検出タイミングとなる毎にタイミング抽出用サンプリングタイミングを得るような例を示したが、これに限らず、図1(e)に示すように図1(e)の信号検出タイミングに2:1に対応し、信号検出タイミング2回に1回の割合でタイミング抽出用サンプリングタイミングを得るようにしてもよい。

【0013】次に上述したタイミング抽出を行なう回路の構成を図3により説明する。同図は2相PSK(位相偏移変調)信号の受信回路の構成を示すもので、受信信号としてのベースバンド信号はまずA/D変換器21に入力される。A/D変換器21は、タイミング発生回路22から出力される受信信号のクロックと同一周期の第1のサンプリングクロック及び該周期よりも前述した最小サンプリング単位時間 S_d 分長い周期の第2のサンプリングクロックを基に上記図1(d)で示したようなタイミングで受信信号をデジタル化し、包括線検波部23とデータ復調部24とに送出される。

【0014】包括線検波部23は、A/D変換器21からの離散値であるデジタル化された受信信号をタイミング発生回路22からの第2サンプリングクロックにより取込み、包括線信号データを得てCPU25へ出力する。

【0015】CPU25は、包括線検波部23から受取る包括線信号データに基づいて、データ復調部24でデータを復調する際の最適の信号検出タイミングとなる情報、す

*この場合に該サンプリングタイミング T_e は次式で表わされる。すなわち、

$$\dots(1)$$

なわち図2に示した包括線波形においてセンターとなる時間情報(上記(1)式中の N の値)を得、この情報に基づいて前記タイミング発生回路22の出力する第1サンプリングクロックの位相を補正する位相調整信号をタイミング発生回路22へ送出してする。

【0016】タイミング発生回路22は、このCPU25からの位相調整信号により上記A/D変換器21及びデータ復調部24へ出力される第1サンプリングクロックの位相を調整するもので、位相調整された第1サンプリングクロックの出力タイミングは包括線のセンターとなる。

【0017】データ復調部24は、このタイミング発生回路22からの第1サンプリングクロックに基づいてA/D変換器21の出力するデジタル化された受信信号中からデータ信号を復調する。

【0018】このような回路構成とすることにより、A/D変換器21、タイミング発生回路22、包括線検波部23、データ復調部24及びCPU25をすべてデジタル回路で構成可能となるため、回路全体を集積化することができ、回路の小型化、信頼性の向上、コストの低減等に寄与することができる。

【0019】なお、上記図3では2相PSK信号の受信回路の構成を示したが、4相以上のPSK信号の受信回路は次のようになる。図4は例として4相以上のPSK信号の受信回路の構成を示すもので、受信された入力信号はまず分配器31にて2経路に分配される。乗算器32側に入力された信号は発振器34から供給される周波数信号と混合されてI成分ベースバンド信号となり、A/D変換器35に入力させる。

【0020】また、乗算器33側に入力された信号は、90°移相器36を介して発振器34から供給される周波数信号と混合されてQ成分ベースバンド信号となり、A/D変換器37に入力させる。

【0021】A/D変換器35、37は、それぞれタイミング発生回路38から出力される入力信号のクロックと同一周期の第1サンプリングクロック及び該周期よりも該周期の整数分の1の時間だけ長い周期の第2サンプリングクロックを基に、入力されたI成分ベースバンド信号、Q成分ベースバンド信号をデジタル化し、包括線検波部39とデータ復調部40に送出する。

【0022】包括線検波部39は、タイミング発生回路38からの第2サンプリングクロックにより、A/D変換器35、37からの離散値であるデジタル化されたI成分サンプリングクロックとQ成分サンプリングクロックを包括線検波し、タイミング情報を含む包括線信号データを得てCPU41へ出力する。

【0023】CPU41は、受取った包括線信号データに基づいて最適信号検出タイミング情報を得、これに基づ

いて前記タイミング発生回路38の出力する第1サンプリングクロックの位相を補正する位相調整信号を該タイミング発生回路38へ送出してする。

【0024】タイミング発生回路38は、このCPU41からの位相調整信号により第1サンプリングクロックの位相を補正し、位相補正した第1サンプリングクロックを上記A/D変換器35、37、データ復調部40へも送出する。

【0025】データ復調部40は、このタイミング発生回路38からの第1サンプリングクロックに基づいてA/D変換器35、37の出力するデジタル化されたI成分データ、Q成分データのそれぞれからデータ信号を復調する。

【0026】このように4相以上のPSK信号の受信回路にあっても、すべてデジタル回路で構成可能となるため、回路全体を集積化することができ、回路の小型化、信頼性の向上、コストの低減等に寄与することができる。

【0027】

【発明の効果】以上に述べた如く本発明は、第2世代コードレス電話やデジタル自動車電話などの移动通信システムに用いられる無線伝送速度が数10kb/sec～数100kb/sec程度であり、水晶発振子の安定度が 10^{-8} 程度であることから、送信側において生じるクロック周波数誤差の変動は1Hz以下と非常に低速となり、また端末移動により生じるクロック位相の変動も該移動速度が100km/secである場合においても $0.1^\circ/\text{sec}$ 以下となる点を考慮して考え出されたものであり、ベースバンド受信信号をこのベースバンド受信信号のクロックとは異なる周期でサンプリングして包絡線信号データを得、この包絡線信号データを解析して得られる適正信号検出タイミング情報に基づいて信号検出タイミングの位相を訂正するようにしたので、信号検出タイミングの補正が低速であるが、信号伝送で生じるクロック

* ク位相誤差の変動が非常に低速である通信システムには有効なタイミング抽出方法を提供することが可能となり、また、デジタル回路で構成することが可能となる。

【0028】さらに本発明により、ベースバンド受信信号のクロックと同一周期でタイミング信号を出力するタイミング発生回路と、このタイミング発生回路から出力されるタイミング信号により前記受信信号中のデータ信号を検出する信号検出回路と、上記受信信号をこの受信信号のクロックとは異なる周期でサンプリングしてデジタル化するA/D変換器と、このA/D変換器で得られるデジタル化された受信信号を包絡線検波して包絡線信号データを得る包絡線検波回路と、この包絡線検波回路からの包絡線信号データより得られる適正信号検出タイミング情報に基づいて前記タイミング発生回路の出力するタイミング信号の位相を補正する補正回路とを備えるようにしたので、デジタル回路で構成することで集積化が可能となり、回路の小型化と信頼性の向上、コストの低減等に寄与することができる。

【図面の簡単な説明】

【図1】本発明の一実施例に係るタイミング抽出の原理を示すタイミングチャート。

【図2】図1でサンプリングした信号を信号検出時間を中心に重ねて記述したものを示す図。

【図3】本発明の一実施例に係る2相PSK（位相偏移変調）信号の受信回路の構成を例示するブロック図。

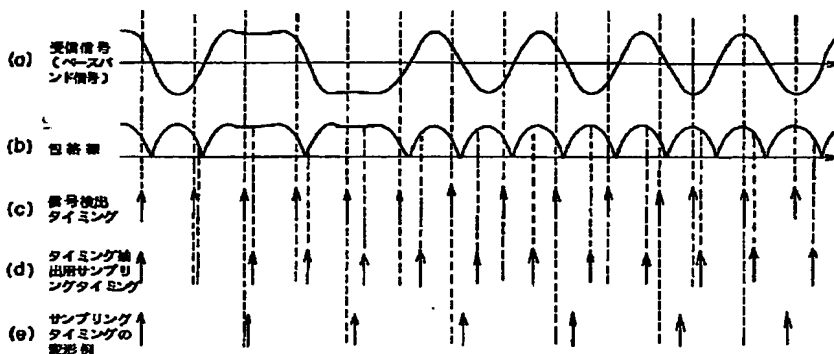
【図4】本発明の一実施例に係る4相PSK（位相偏移変調）信号の受信回路の構成を例示するブロック図。

【図5】従来のタイミング抽出回路の構成を示す図。

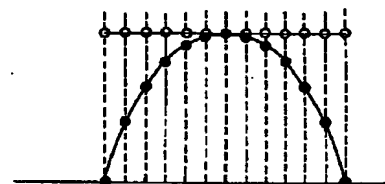
【符号の説明】

11、23、39…包絡線検波部、12…データ復調部、13…PLL回路、21、35、37…A/D変換器、22、38…タイミング発生回路、24…データ復調部、25、41…CPU、31…分配器、32、33…平衡復調器、34…発振器、36…90°移相器、40…データ復調部。

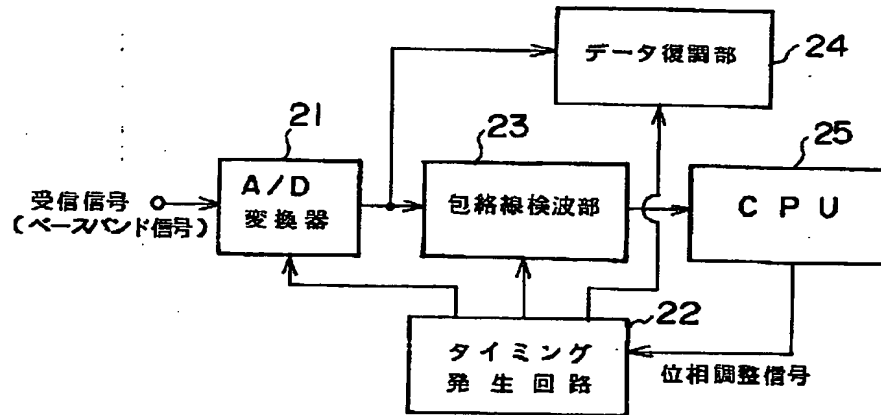
【図1】



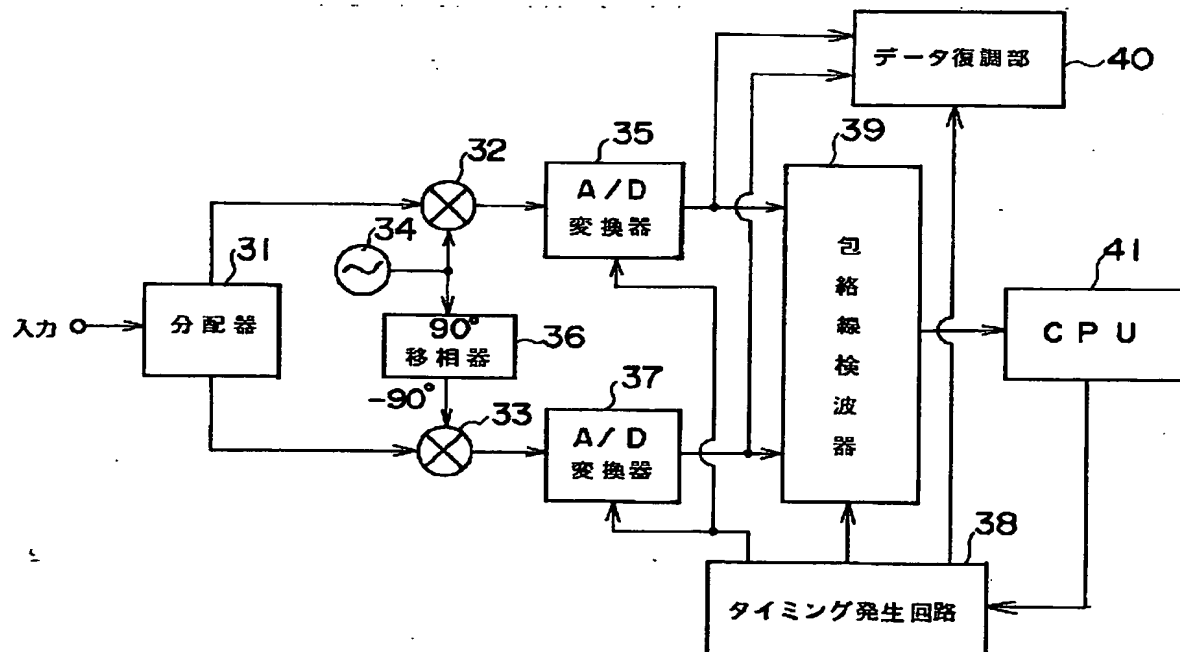
【図2】



【図3】



【図4】



【図5】

